

PAT-NO: JP02001230368A  
DOCUMENT-IDENTIFIER: JP 2001230368 A  
TITLE: PACKAGE STRUCTURE OF INTEGRATED CIRCUIT  
PUBN-DATE: August 24, 2001

INVENTOR-INFORMATION:

NAME	COUNTRY
ONISHI, OSAMU	N/A

ASSIGNEE-INFORMATION:

NAME	COUNTRY
NEC CORP	N/A

APPL-NO: JP2000039680

APPL-DATE: February 17, 2000

INT-CL (IPC): H01L025/065, H01L025/07 , H01L025/18

ABSTRACT:

PROBLEM TO BE SOLVED: To double the mounting density, concerning a film carrier type of semiconductor part.

SOLUTION: The package structure of this integrate circuit is of such a structure that a semiconductor chip 4 having a bump electrode is mounted on one side and a semiconductor chip 5 manufactured in mirror inversion is mounted on the other side in opposition, from both sides of a film carrier tape, using a film carrier tape having double-faced wirings 2 and 3. The mirror-inverted semiconductor chip 5 is one which is arranged so that the bump electrode may be positioned in the same place, in opposition to the bump electrode position of the semiconductor chip 4, whereby it can double the mounting density and the

wiring density and equalize the load at connection between the bump  
electrode  
and the wiring conductor of the film carrier tape.

COPYRIGHT: (C)2001,JPO

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開2001-230368

(P2001-230368A)

(43)公開日 平成13年8月24日(2001.8.24)

(51)IntCl.

識別記号

F I

テマコード(参考)

H 0 1 L 25/065

H 0 1 L 25/08

Z

25/07

25/18

審査請求 有 請求項の数 6 O L (全 4 頁)

(21)出願番号 特願2000-39680(P2000-39680)

(22)出願日 平成12年2月17日(2000.2.17)

(71)出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72)発明者 大西 修

東京都港区芝五丁目7番1号 日本電気株式会社内

(74)代理人 100088328

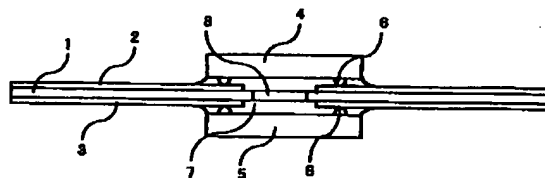
弁理士 金田 暢之 (外2名)

(54)【発明の名称】 集積回路のパッケージ構造

(57)【要約】

【課題】 フィルムキャリア型半導体部品に関し、その実装密度を2倍とする。

【解決手段】 本発明の集積回路のパッケージ構造は、両面配線2と3を有するフィルムキャリアテープを用い、フィルムキャリアテープの両面からバンパ電極を有する半導体チップ4を一方の面に、もう一方の面に、ミラー反転し製造された半導体チップ5を相対向して搭載する構造である。ミラー反転された半導体チップ5は、半導体チップ4のバンパ電極位置と対向して同一箇所にバンパ電極が位置するようにしたもので、これにより、実装密度と配線密度を倍増し、バンパ電極とフィルムキャリアテープの配線導体間の、接続時の荷重を均一にすることができる。



## 【特許請求の範囲】

【請求項1】 表面電極にバンパを形成した半導体チップを、両面に金属箔配線を有するフィルムキャリアテープに搭載してなる集積回路のパッケージ構造において、前記両面の金属箔導体の少なくとも半導体チップ表面バンパと接続される電極部分が、表裏対向して同一位置に形成され、その表裏対向電極にそれぞれ半導体チップを搭載することを特徴とする集積回路のパッケージ構造。

【請求項2】 前記フィルムキャリアテープの両面に搭載される半導体チップの表面電極バンパ位置が、対向して同一位置となるようにしたことを特徴とする請求項1に記載の集積回路パッケージ構造。

【請求項3】 前記表面電極バンパ位置が、一方の半導体チップを、他方の半導体チップのミラー反転して製造することで、対向して同一位置となるようにしたことを特徴とする請求項2に記載の集積回路パッケージ構造。

【請求項4】 前記表面電極にバンパを形成した半導体チップが、表面電極にボンディングパッドを形成した後にバンパを形成した半導体チップである請求項1に記載の集積回路パッケージ構造。

【請求項5】 前記両面の金属箔導体の少なくとも半導体チップ表面バンパと接続される電極部分が、表裏対向して同一位置に形成されるために、貫通孔を前記フィルムキャリアテープに設けることを特徴とする請求項1に記載の集積回路パッケージ構造。

【請求項6】 前記表裏対向電極にそれぞれ半導体チップを搭載する際に、収縮特性を有する異方性樹脂によりボンディングすることを特徴とする請求項1に記載の集積回路パッケージ構造。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、フィルムキャリア型半導体部品に関し、特に、半導体チップ搭載の集積回路のパッケージ構造に関する。

## 【0002】

【従来の技術】従来、フィルムキャリアテープの両面に半導体素子を実装した公開公報が多く見られる。実開昭6197857号公報に記載されている半導体装置は、フィルムキャリアテープの両面に形成された回路配線基板に2個の半導体チップがその回路形成面が、回路配線基板側に向くように、フィルムキャリアテープの両面に実装されていることを特徴とする半導体装置である。特開昭62-205636号公報に記載されている半導体装置の製造方法と、特開昭63-136642号公報に記載されている二層半導体集積回路は、フィルムキャリアテープの片面に形成された配線導体であるリードフレームあるいはフィンガーリードの両面に半導体チップをバンパなどにより接続する例が公示されている。ま

た、特開昭64-77135号公報に記載されている半導体装置と、特開平4-279052号公報に記載されている半導体集積回路装置においても、フィルムキャリアテープの片面に形成された配線導体であるリード端子あるいはインナーリードの両面に半導体チップをバンパなどにより接続する例が公示されている。これら公示例は、全て半導体チップの実装密度を上げるためになされたものであり、配線の実装密度を上げることを目的にしているものではない。

## 10 【0003】

【発明が解決しようとする課題】すなわち、図3に示すように、上記公示例のいずれも、フィルムキャリアの両面に半導体チップを搭載して実装密度を向上させているが、同一平面に設けられた配線導体の両面から半導体チップのバンパを接続するため、実装半導体チップを増やすことはできても、配線密度の向上は期待できない。

【0004】また、実開昭6197857号公報に記載されている半導体装置は、フィルムキャリアテープの両面に形成された回路配線基板に2個の半導体チップを実装するので配線密度の向上が期待できるが、考案の目的及び効果が高密度の実装と半導体チップ表面の保護であり、考案を示す第1図および第2図からは配線密度の向上を想像することは不可能である。

【0005】また、特開昭63-136642号公報と特開平4-279052号公報に記載されている半導体集積回路装置は、表裏に搭載される半導体チップの表面電極が、相対向して同一箇所にないため、フィルムキャリア配線電極と半導体チップ表面バンパとの間に、接続のための安定した荷重をかけることができないため、接続が不完全となる危険性がある。

【0006】この問題を解決するため、相対向する部位に電気的に絶縁されたダミーの表面バンパを設けることも可能であるが、半導体チップそのもののサイズを、ダミーの表面電極の分だけ大きくする必要があり、本来の趣旨である実装密度の向上に逆行するものである。

【0007】以上により、フィルムキャリアの配線密度と搭載される半導体チップの双方の条件が満たされなければ実装密度の向上は達成できない。

【0008】本発明の目的は、フィルムキャリア型半導体部品に関し、その配線密度と半導体チップの搭載密度を同時に約2倍とすることで、実装密度の向上を達成しようとするものである。

## 【0009】

【課題を解決するための手段】本発明の集積回路のパッケージ構造は、表面電極にバンパを形成した半導体チップを、両面に金属箔配線を有するフィルムキャリアテープに搭載してなる集積回路のパッケージ構造において、両面の金属箔導体の少なくとも半導体チップ表面バンパと接続される電極部分が、表裏対向して同一位置に形成され、その表裏対向電極にそれぞれ半導体チップを搭載

することを特徴とする。

【0010】また、フィルムキャリアテープの両面に搭載される半導体チップの表面電極バンパ位置は、対向して同一位置となるようにしたことを特徴とする。

【0011】さらに、表面電極バンパ位置は、一方の半導体チップを、他方の半導体チップのミラー反転して製造することで、対向して同一位置となるようにしたことを特徴とする。

【0012】また、表面電極にバンパを形成した半導体チップは、表面電極にボンディングパッドを形成した後 10 にバンパを形成した半導体チップであつても良い。

【0013】さらに、両面の金属箔導体の少なくとも半導体チップ表面バンパと接続される電極部分は、表裏対向して同一位置に形成されるために、貫通孔をフィルムキャリアテープに設けても良い。

【0014】さらにまた、表裏対向電極にそれぞれ半導体チップを搭載する際に、収縮特性を有する異方性樹脂によりボンディングしても良い。

【0015】

【発明の実施の形態】次に、本発明の実施の形態について図面を参照して説明する。図1は本発明の集積回路の 20 パッケージ構造を示す断面図である。

【0016】本集積回路のパッケージ構造は、フィルムキャリアテープ1と、フィルムキャリアテープ1の表面に形成された配線導体群2と、フィルムキャリアテープ1の裏面に形成された配線導体群3と、配線導体群2にバンパ電極6を介して半導体チップ4と、同じく配線導体群3に他のバンパ電極6を介して半導体チップ5と、パッケージ構造としてこれら要素を一体とする樹脂7から構成されている。

【0017】フィルムキャリアテープ1に搭載される半導体チップ4は、その表面にバンパ電極6を有する。半導体チップ5は半導体チップ4をミラー反転して製造されたもので、同じくバンパ電極6を有する。

【0018】なお、この半導体チップ5は、半導体チップ4のバンパ電極に対向した位置に、半導体サイズに無駄なく対向できるものであれば、必ずしもミラー反転して製造されたものでなくてもよい。

【0019】これらの半導体チップ4、5のバンパ電極6は、フィルムキャリアテープ1の配線電極2と3 40 に、半導体チップ4、5の裏面や周囲から加えられた熱と、半導体チップ4、5の裏面からの荷重により熱圧着法で接続し搭載される。

【0020】樹脂7は、半導体チップ4、5の表面保護と、両面の半導体チップ4、5とフィルムキャリア1を機械的に保持するための樹脂であり、貫通穴8はフィルムキャリアテープの貫通穴として両面の半導体チップ

4、5の固定と配線導体群2、3の分離に有益である。したがって、貫通穴8は、配線導体群2、3がそれぞれ分離していれば無くても良い。

【0021】また、図2に示すように、半導体チップ4は、表面電極にボンディングパッドを形成した後にその表面にバンパ電極6を有していても良い。

【0022】さらに、半導体チップ4、5の表面保護と、両面の半導体チップ4、5とフィルムキャリア1を収縮特性を有する異方性樹脂により機械的に保持する。

【0023】

【発明の効果】フィルムキャリアテープの両面に配線導体を設けることで、配線密度を従来の約2倍に向上させ、そのフィルムキャリアテープの両面配線の一方の面に半導体チップ4と、もう一方の面に半導体チップ4と同一機能でミラー反転して製造された半導体チップ5を搭載することで、半導体チップの搭載密度も2倍とすることができる。すなわち、フィルムキャリアテープの両面に、配線導体を設けることで、電気的に独立した配線を従来の約2倍得ることができる。

【0024】また、この配線導体は、スルーホール等で必要に応じてフィルムキャリア両面の配線導体を接続することができる。

【0025】次に、半導体チップに関しては、フィルムキャリアテープの一方の面に半導体チップ4を、もう一方の面にミラー反転して製造された半導体チップ5を対向して搭載することで、搭載密度を2倍にできる。

【0026】また、ミラー反転して製造された半導体チップを用いることで、フィルムキャリアテープの両面から、半導体チップの表面電極を対向して位置させることができるため、安定した均一の接続荷重をかけることが可能となり、十分な接続信頼性を得ることができる。

【図面の簡単な説明】

【図1】本発明の第1実施例における集積回路のパッケージ構造を示す断面図である。

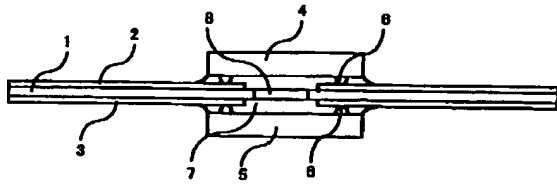
【図2】第2の実施例における集積回路のパッケージ構造を示す断面図である。

【図3】従来の集積回路のパッケージ構造を示す断面図である。

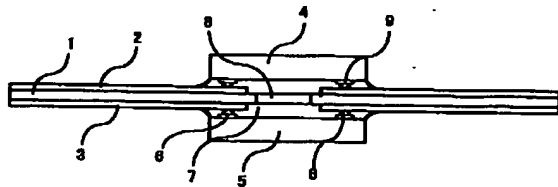
【符号の説明】

- 1 フィルムキャリアテープ
- 2、3 導体配線群
- 4、5 半導体チップ
- 6 バンパ電極
- 7 エポキシ等の樹脂
- 8 貫通穴
- 9 ボンディングパッド
- 11 フィンガー電極

【図1】



【图2】



【图3】

